

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

10516714

Basic Patent (No,Kind,Date): EP 486284 A2 19920520 <No. of Patents: 013>

ELECTRO-OPTICAL DEVICE AND DRIVING METHOD FOR THE SAME (English;  
French; German)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (JP)

Author (Inventor): YAMAZAKI SHUNPEI (JP); MASE AKIRA (JP); HIROKI MASAOKI  
(JP)

Designated States : (National) DE; FR; GB

IPC: \*G09G-003/36;

Derwent WPI Acc No: G 92-168861

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
EP 486284	A2	19920520	EP 91310480	A	19911113	(BASIC)
EP 486284	A3	19930901	EP 91310480	A	19911113	
JP 4177325	A2	19920624	JP 90307555	A	19901113	
JP 4177326	A2	19920624	JP 90307556	A	19901113	
JP 4177327	A2	19920624	JP 90307557	A	19901113	
JP 4190329	A2	19920708	JP 90323694	A	19901126	
JP 6337398	A2	19941206	JP 90415720	A	19901210	
JP 2916606	B2	19990705	JP 90323694	A	19901126	
JP 3000174	B2	20000117	JP 90415720	A	19901210	
JP 3013259	B2	20000228	JP 90307557	A	19901113	
KR 9405243	B1	19940615	KR 919127	A	19910531	
US 20010050664	AA	20011213	US 919949	A	20010802	
US 6369788	BA	20020409	US 247452	A	19940523	

Priority Data (No,Kind,Date):

JP 90307555 A 19901113  
JP 90307556 A 19901113  
JP 90307557 A 19901113  
JP 90323694 A 19901126  
JP 90415720 A 19901210  
US 919949 A 20010802  
US 247452 A3 19940523  
US 148528 B1 19931108  
US 44387 B1 19930408  
US 673295 B1 19910322  
US 247452 A 19940523



(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3013259号

(P3013259)

(45)発行日 平成12年2月28日(2000.2.28)

(24)登録日 平成11年12月17日(1999.12.17)

(51)Int.Cl.

識別記号

F I

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

G 0 9 F 9/35

G 0 9 F 9/35

H 0 1 L 21/336

H 0 1 L 29/78

6 1 2 Z

29/786

請求項の数 2 (全 11 頁)

(21)出願番号

特願平2-307557

(22)出願日

平成2年11月13日(1990.11.13)

(65)公開番号

特開平4-177327

(43)公開日

平成4年6月24日(1992.6.24)

審査請求日

平成9年11月5日(1997.11.5)

(73)特許権者 999999999

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者

山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官

井口 雅二

(56)参考文献 特開 昭53-144297 (J P, A)

特開 昭63-96636 (J P, A)

特開 平2-178632 (J P, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/136

(54)【発明の名称】 液晶表示装置

1

(57)【特許請求の範囲】

【請求項1】複数のゲイト配線と、複数のソース配線と、第1及び第2のNチャネル型薄膜トランジスタと、第1及び第2のPチャネル型薄膜トランジスタと、第1及び第2の画素電極とを有する液晶表示装置において、前記Nチャネル型薄膜トランジスタおよび前記Pチャネル型薄膜トランジスタのゲイト電極は、ゲイト配線の1つによって電気的に接続されており、  
前記第1のNチャネル型薄膜トランジスタのソースは、ソース配線の1つと連結し、  
前記第1及び第2のPチャネル型薄膜トランジスタのソースは、ソース配線の他の1つと連結し、  
前記第2のNチャネル型薄膜トランジスタのソースは、ソース配線のさらに他の1つと連結し、  
前記第1の画素電極は、前記第1のNチャネル型薄膜ト

2

ランジスタ及び前記第1のPチャネル型薄膜トランジスタのドレインと連結し、

前記第2の画素電極は、前記第2のNチャネル型薄膜トランジスタ及び前記第2のPチャネル型薄膜トランジスタのドレインと連結していることを特徴とする液晶表示装置。

【請求項2】特許請求の範囲第1項において、前記Nチャネル型薄膜トランジスタおよび前記Pチャネル型薄膜トランジスタは、結晶性のシリコン半導体層を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

「発明の利用分野」

本発明は、アクティブ型液晶表示装置に関するもので、特にそれぞれの画素に相補型に2つの薄膜型絶縁ゲイト電界効果トランジスタ(以下TFTという)を設けた

液晶パネルに関するものである。

## 「従来の技術」

従来、TFTを用いたアクティブ型の液晶表示装置が知られている。この場合、TFTにはアモルファスまたは多結晶型の半導体を用い、1つの画素にPまたはN型のいずれか一方の導電型のみのTFTを用いたものである。即ち、一般にはNチャネル型TFT (NTFTという) を画素に直列に連結している。その代表例を第1図に示す。

第1図において、液晶(12)を有し、それに直列に連結してNTFT(11)を設けている。これをマトリックス配列せしめたものである。一般には $640 \times 480$ または $1260 \times 960$ と多くするが、この図面ではそれと同意味で単純に $2 \times 2$ のマトリックス配列をさせた。このそれぞれの画素に対し周辺回路(16)、(17)より電圧を加え、所定の画素を選択的にオンとし、他の画素をオフとした。するとこのTFTのオン、オフ特性が一般には良好な場合、コントラストの大きい液晶表示装置を作ることができる。しかしながら、実際にかかる液晶表示装置を製造してみると、TFTの出力即ち液晶にとっての入力(液晶電位という)の電圧 $V_{LC}$ (10)は、しばしば“1”(High)とするべき時に“1”(High)にならず、また、逆に“0”(Low)となるべき時に“0”(Low)にならない場合がある。液晶(12)はその動作において本来絶縁性であり、またTFTがオフの時に液晶電位( $V_{LC}$ )は浮いた状態になる。この液晶(12)は等価的にキャパシタであるため、そこに蓄積された電荷により $V_{LC}$ が決められる。この電荷は液晶が $R_{LC}$ で比較的小さい抵抗となったり、ゴミ、イオン性不純物の存在によりリークしたり、またTFTのゲイト絶縁膜のピンホールにより $R_{GS}$ (15)が生じた場合にはそこから電荷がもれ、 $V_{LC}$ は中途半端な状態になってしまう。このため1つのパネル中に20万~500万個の画素を有する液晶表示装置においては、高い歩留まりを成就することができない。特に液晶(12)は一般にはTN(ツイステッドネマティック)液晶が用いられる。その液晶の配向のためにはそれぞれの電極上にラビングした配向膜を設ける。このラビング工程のため発生する静電気により弱い絶縁破壊が起こり、隣の画素との間または隣の導線との間でリークしたり、またゲイト絶縁膜が弱く、リークをしたりしてしまう。アクティブ型の液晶表示装置においては、液晶電位を1フレームの間はたえず初期値と同じ値として所定のレベルを保つことがきわめて重要である。しかし実際は不良が多く、必ずしも成就しないのが実情である。

また液晶材料が強誘電性液晶であると、注入電流を大きく必要とする。このためにはIFTを大きくして電流マージンを大きくとらなければならないという欠点がある。

### 「発明の目的」

本発明はこのような問題を解決し、相補型としても液晶装置のパネルの開口率を従来の1つのTFTを用いた方

式と同一または実質的に同一として構成を有せしめた。  
VLGが“1”、“0”に充分安定して固定させ、1フレーム中  
にそのレベルがドリフトしないようにしたものである。

### 「発明の構成」

本発明は、マトリックス構成したそれぞれの画素の一方の透明導電膜の電極に相補型のTFTの出力端子を連結せしめたものである。即ちマトリックス配列したすべての画素にPチャネル型のTFT（以下（PTFTという）とNTFTとを相補型（以下C/TFTという）として連結したものである。

その本発明の代表例を第 3 図に回路として示す。また実際のパターンレイアウト（配置図）の例を第 5 図に示す。

本発明の説明として、第2図の $2 \times 2$ のマトリックスの例を示す。PTFTとNTFTとのゲートを互いに連結し、さらにY軸方向の線 $V_{GG}(22)$ 、または $V_{GG}(23)$ に連結した。またC/TFTの共通出力を液晶(12)に連結している。PTFTの入力( $V_{SS}$ 側)をX軸方向の線 $V_{DD}(18)$ 、 $V_{DD}(18')$ に連結し、NTFTの入力( $V_{SS}$ 側)を接地(19)、(19')させている。すると $V_{DD}(18)$ 、 $V_{GG}(22)$ が“1”の時、液晶電位(10)は“0”となり、また $V_{DD}(18)$ が“1”、 $V_{GG}(22)$ が“0”の時液晶電位(10)は“1”となる。そして液晶の画素(12)は反対の電極電位(13)(一般には接地電位)に比べて“1”となるときのオンとなる。逆に液晶電位(10)が“0”のとき液晶はオフとなる。

そして液晶電位 (10) は  $V_{DD}$  (18)、または接地または  $V_{SS}$  (19) のいずれかに固定させるため、フローティングとなることがない。

第3図の本発明の例においては、X軸方向の配線(18)、(18')に対し、接地端子(19)、(19')もX軸方向に配線した。すると、第2図における(19)、(19')を共通にして $V_{SS}$ (19)が得られる。2×2のマトリックスを構成せんとする時、 $V_{SS}$ (19)はその上側の画素とその下側の画素との共通配線としている。

この場合、液晶電位 $V_{LC}$ は $V_{DD}$ かまたは $V_{SS}$ かに固定させることができる。PTFT (21)、NTFT (11) とは相補であるため、 $R_{LC}$  (14) にゴミ、イオン性のリークがあっても問題とならない。

また隣の配線との間に少しのリークがあっても $V_{LC}$ にはたえず $V_{DD}$  (18) または $V_{SS}$  (19) から電荷が提供されるため、フローティングではなく、フレーム内でのレベルを一定とすることができる。

以下に実施例に基づき、本発明を示す。

### 「实施例 1」

この実施例は第3図、第5図および第6図を用いて示す。

ガラス基板にC/TFTを作らんとした時の製造工程を第6図に基づき示す。

第6図において、ANガラス、バイレックスガラス等の

約600℃の熱処理に耐え得るガラス上にマグネトロンRF (高周波) スパッタ法を用いてブロッキング層としての酸化珪素膜(3')を1000~3000Åの厚さに作製した。

プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400~800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30~100Å/分であった。

さらにこの上にシリコン膜をLPCVD(減圧気相)法、スパッタ法またはプラズマCVD法により形成した。

減圧気相法で形成する場合、結晶化温度よりも100~200℃低い450~550℃、例えば530℃でジシラン( $\text{Si}_2\text{H}_6$ )またはトリシラン( $\text{Si}_3\text{H}_8$ )をCVD装置を供給して成膜した。反応炉内圧力は30~300Paとした。成膜速度50~250Å/分であった。NTETとPTFTとのスレッショールド電圧( $V_{th}$ )を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{14} \sim 1 \times 10^{17} \text{cm}^{-3}$ の濃度として成膜中に添加してもよい。

スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5}$  Pa以下とし、単結晶シリコンをターゲットとし、アルゴンに水素を20~80%に混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150℃、周波数は13.56MHz、スパッタ出力400~800Wとした。圧力は0.5Paであった。

プラズマCVD法により珪素膜を作製する場合、その温度は例えば300℃とし、モノシラン( $\text{SiH}_4$ )またはジシラン( $\text{Si}_2\text{H}_6$ )を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

これらの方法によって形成された被膜は、酸素が $7 \times 10^{19} \text{cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{cm}^{-3}$ 以下の濃度であることが好ましい。その代表的な結晶化をさせる場合、結晶化の程度を助長させ得るからである。例えばSIMS(二次イオン質量分析)法における不純物として酸素が $8 \times 10^{18} \text{cm}^{-3}$ 、炭素 $3 \times 10^{16} \text{cm}^{-3}$ を得た。また水素は $4 \times 10^{20} \text{cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{cm}^{-3}$ として比較すると1原子%であった。

かくしてアモルファス状態の珪素膜を500~3000Å、例えば1500Åの厚さに作製の後、450~700℃の温度にて12~70時間非酸化雰囲気にて中温の加熱処理した。例えば窒素または水素雰囲気にて600℃の温度で保持した。

この珪素膜の下の基板表面にアモルファスの酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

このアニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、その一部は結晶状態を呈する。特にシリコンの成膜時に比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされる

ため、珪素同志は互いにひっぱりあう。結晶としてもレーザラマン分光により測定すると、単結晶の珪素のピーク $522 \text{cm}^{-1}$ より低周波側にシフトしたピークが観察される。その見掛け上の粒径は半値巾から計算すると、50~500Åとマイクロクリスタルのようにになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、その各クラスタ間は互いに珪素同志で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

結果として、この被膜は実質的にグレインバウンダリ(GBという)がないといってもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度( $\mu_h$ )= $10 \sim 200 \text{cm}^2/\text{Vsec}$ 、電子移動度( $\mu_e$ )= $15 \sim 300 \text{cm}^2/\text{Vsec}$ が得られる。

他方、上記の如く中温でのアニールではなく、900~1200℃の温度での高温アニールにより被膜を多結晶化すると、核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア(障壁)を作ってそこでのキャリアの移動を阻害してしまう。そして結果としては $10 \text{cm}^2/\text{Vsec}$ 以上の移動度がなかなか得られないのが実情である。

即ち、本発明の実施例ではかくの如く、セミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。

第6図(A)においては、この珪素膜を第1のフォトマスク①にてフォトエッチングを施し、PTFT用の領域(21)を図面の右側に、NTFT用の領域(11)を左側に作製した。

またこの上に酸化珪素膜をゲイト絶縁膜として厚さは500~2000Å例えば1000Åに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加させてもよい。

さらにこの後、この上側にリンが $1 \sim 5 \times 10^{20} \text{cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 $\text{MoSi}_2$ または $\text{WSi}_2$ との多層膜を形成した。これを第2のフォトマスク②にてパターンニングした。そしてPTFT用のゲイト電極(4)、NTFT用のゲイト電極(4')を形成した。例えばチャネル長 $10 \mu\text{m}$ 、ゲイト電極としてリンドープ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。

第2図(C)において、フォトレジスト(31')をフォトマスク③を用いて形成し、PTFT用のソース(5)、ドレイン(6)に対し、ホウ素を $1 \times 10^{15} \text{cm}^{-2}$ のドーズ量をイオン注入法により添加した。

次に第6図(D)の如く、フォトレジスト(31)をフォトマスク④を用いて形成した。そしてNTFT用のソース

(5'), ドレイン(6')としてリンを  $1 \times 10^{15} \text{cm}^{-2}$  の量、イオン注入法により添加した。

これらはゲイト絶縁膜(3)を通じて行った。しかし第6図(B)において、ゲイト電極(4)(4')をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

次に、600℃にて10～50時間再び加熱アニールを行った。そしてPTFTのソース(5)、ドレイン(6)、NTFTのソース(5')、ドレイン(6')を不純物を活性化してP<sup>+</sup>、N<sup>+</sup>として作製した。

またゲイト電極(4)，(4′)下にはチャネル形成領域(7)，(7′)がセミアモルファス半導体として形成されている。

かくすると、セルフアライン方式でありながらも、70℃以上にすべての温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画素の液晶表示装置にきわめて適しているプロセスである。

熱アニールは第6図(A)、(D)で2回行った。しかし第6図(A)のアニールは求める特性により省略し、双方を第6図(D)のアニールにより兼ねさせて製造時間の短縮を図ってもよい。第6図(E)において、層間絶縁物(8)を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法を用いてもよい。例えば0.2~0.4 $\mu\text{m}$ の厚さに形成した。その後、フォトマスク⑤を用いて電極用の窓(32)を形成した。

さらにこれら全体をアルミニウムをスパッタ法により形成し、リード(9)、(9')およびコンタクト(29)、(29')をフォトマスク⑥を用いて作製した。

さらに第6図(F)に示す如く、2つのTFTを相補とし、かつその出力端を液晶装置の一方の透明電極に連結するため、スパッタ法によりITO(インジウム・スズ酸化膜)を形成した。それをフォトマスク⑦によりエッチングして、電極(33)を構成させた。このITOは室温～150℃で成膜し、それを200～400℃の酸素または大気中のアニールにより成就した。

かくの如くにしてPTFT (21) とNTFT (11) と透明導電膜の電極 (33) とを同一ガラス基板 (1) 上に作製した。

かかるTFTの特性を略記する。

	移動度 ( $\mu\text{cm}^2/\text{Vs}$ )	$V_{th}$ (V)
PTFT	20	-3
NTFT	30	+3

かかる半導体を用いることにより、一般に不可能とされていたTFTに大きな移動度を作ることができた。そのため、初めて第3図、第5図に示した液晶表示装置用の相補型TFTを構成させることができた。

### 「实施例 2」

第5図(A)に第3図に対応した本発明の実施例を示

す。X軸方向に $V_{DD}$  (18)、 $V_{SS}$  (19)、 $V_{DD'}$  (18')を有するX軸方向の配線(以下X線ともいう)を形成した。なおY軸方向は $V_{GG}$  (22)、 $V_{GG'}$  (23)とY軸方向の配線(以下Y線ともいう)を形成した。

図面(A)は平面図であるが、そのA-A'の縦断面図を第5図(B)に示す。またB-B'の縦断面図を第5図(C)に示す。

またPTFT (21) をX線 $V_{DD}$  (18) とY線 $V_{GG}$  (22) との交差部に設け、 $V_{DD}$  (18) と $V_{GG}$  (23) との交差部にも他の画素用のPTFT (21') が同様に設けられている。またNTFT (11) は $V_{SS}$  (19) と $V_{GG}$  (22) との交差部に設けられている。 $V_{SS}$  (19) と $V_{GG}$  (22) との交差部の下側には他の画素用のNTFT (11') が設けられている。C/TFTを用いたマトリックス構成を有せしめた。それらPTFTはソース (5) がコンタクト (32) を介してX線 $V_{DD}$  (18) に連結され、ゲート (4) は多層形成がなされたY線 $V_{GG}$  (22) に連結されている。ドレイン (6) はコンタクト (29) を介して透明導電膜の電極 (33) に連結している。

20 他方、N1FTはソース（5'）がコンタクト（32'）を介してX線V<sub>SS</sub>（19）に連結され、ゲート（4'）はY線V<sub>GG</sub>（22）に、ドレイン（6'）はコンタクト（29'）を介して透明導電膜（33）に連結している。かくして2本のX線（18）、（19）に挟まれた間（内側）に透明導電膜とC/TFTとにより1つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、2×2のマトリックスの1つの例またはそれを拡大した640×480、1280×960といった大画素の液晶表示装置を作ることが可能となった。

30      ここでの特長は、1つのピクセルを挟む $V_{DD}$ 、 $V_{SS}$ のうち $V_{SS}$ は他の $V_{SS}$ 、 $V_{DD}'$ で挟まれる他のピクセルの $V_{SS}$ と共通させていることである。これを繰り返すことにより、1つのピクセルに2つのIFTをつけても開閉率は第1図の従来例と変わらないことである。他の特長は $V_{LC}$ のレベルを $V_{DD}$ または $V_{SS}$ に固定されることである。

その動作を第4図を用いて略記する。

液晶(12)を挟む一対の電極(33)、(34)において、他方の電極(34)を接地電位(13)とし、それに対して $V_{DD}$ (19)を例えば+7V、 $V_{SS}$ (18)を例えば-7Vとすると $V_{LC}$ (10)は+7Vまたは-7Vと固定となることである。即ち第1図に示された従来公知のNTFTのみを用いた液晶装置に比べ、 $V_{LC}$ はフローティングとならず、一定の電位を有することである。即ち $V_{DD}$ 、 $V_{SS}$ 、接地と3種類の電位を設定することができ、制御要素が1つ増えたことがわかる。

そのためたとえ第4図においてPTFT (21) またはNTFT (11) のいずれか一方が不用となり、オープン状態またはリークぎみのためレーザで破壊してオープン状態としてもその程度は半分となるが、ある程度の液晶 (12) の駆動ができるという特徴を有している。

また第5図において、 $V_{GG}$  (22) の配線を考えてみると、オーバーライン配線 (上側配線) としてのアルミニウム配線 (41)、ゲイト電極と同じ材料によるアンダーライン配線 (43) (下側配線) およびそれらのコンタクト (42) を用いることにより、X線、Y線の交差部での多層配線のために新たなフォトマスク数を増やす必要がなくなっていることである。

また液晶 (12) の一対の電極 (33)、(34) を互いにより平行にかつ平坦にするには、第6図 (F) の工程において、アルミニウム配線を施し、その後ポリイミド等の有機樹脂を用いて平坦な平面を形成し、その上に透明導電膜を形成すればよい。さらに透明導電膜 (33) のコンタクト用の開口を追加のフォトマスクを用いて作り、それを用いてコンタクト (29)、(29') に連結すればよい。

第5図において、それら透明導電膜上に配向膜、配向処理を施し、さらにこの基板と他方の液晶の電極 (第4図 (34)) を有する基板との間に一定の間隔をあけて公知の方法により互いに配設をした。そしてその間に液晶を注入して完成させた。

液晶材料にTN液晶を用いるならば、その間隔を約10 $\mu$ m程度とし、透明導電膜双方に配向膜をラビング処理して形成させる必要がある。

また液晶材料にFLC (強誘電性) 液晶を用いる場合はその動作電圧を $\pm 20V$ とし、また、セル間隔を1.5~3.5 $\mu$ m例えば2.3 $\mu$ mとし、反対電極第4図 (34) 上のみ配向膜を設けラビング処理を施せばよい。

分散型液晶またはポリマー液晶を用いる場合には、配向膜は不用であり、スイッチング速度を大とするため、動作電圧は $\pm 10 \sim \pm 15V$ とし、セル間隔は1~10 $\mu$ mと薄くした。

特に分散型液晶を用いる場合には、偏光板も不用のため、反射型としても、また透過型としても光量を大きくすることができる。そしてその液晶はスレッシュホールドがないため、本発明のC/TFTに示す如く、明確なスレッシュホールド電圧が規定されるC/TFT型とすることにより大きなコントラストとクロストーク (隣の画素との悪干渉) を除くことができた。

この実施例2は、C/TFTにおいて $V_{DD}$ 側にPTFTを、 $V_{SS}$ 側にNTFTを形成した。するとその出力は $V_{DD}$ または $V_{SS}$ を作るため明確なレベルを決定できる。しかし $V_{GG}$ に対しては $V_{LC}$ はインバータとなる。

この $V_{GG}$ と $V_{LC}$ とが同相 (同じ向きの電極) となる場合を示す。

#### 「実施例3」

この実施例は、C/TFTにおいて、 $V_{DD}$ 側にNTFTを、 $V_{SS}$ 側にPTFTを連結した。するとその出力である $V_{LC}$ は $V_{GG}$ と同相になり、出力電位は $V_{GG}-V_{th}$ で与えられる。かくすると、 $V_{GG}$ を $V_{DD}$ より大にしなければならぬ欠点はあるが、ゲイト電極と $V_{LC}$ との間で多少のリークをあっても

あまり気にしなくてもよいという特長を有する。

かかる場合、第3図において、PTFT (21) とNTFT (11) とは互いに逆に設ければよい。即ち第5図においても同様にPTFTとNTFTとを互いに逆に設ければよい。そのため、実施例2と第5図における製造工程および開口率はまったく同じ値を作ることができる。

#### 「発明の効果」

本発明は相補型のTFTをマトリックス化された各画素に連結することにより、

- 1) しきい値の明確化
- 2)  $V_{DD}$ 、 $V_{SS}$ を互いの画素で交互に配設して共通できるため、開口率の減少をまねかない
- 3) スwitching速度の増加
- 4) 動作マージンの拡大
- 5) 不良TFTが一部にあってもその補償をある程度行うことができる
- 6) 作製に必要なフォトマスク数はNTFTのみの従来例に比べて第6図 (C) および (D) のフォトマスク④が2回多くなるのみで可である

という多くの特長を有する。

そのため、これまでのアクティブTFT液晶装置に比べて、数段の製造歩留まりと画面の鮮やかさを成就することができるようになった。

本発明においてかかるC/TFTに対し、半導体としてセミアモルファスまたはセミクリスタルを用いた。しかし同じ目的のために可能であるならば他の結晶構造の半導体を用いてもよい。またセルフアライン型のC/TFTによることにより高速処理を行った。しかしイオン注入法を用いずに非セルフアライン方式によりTFTを作ってもよいことはいうまでもない。

#### 【図面の簡単な説明】

第1図は従来のアクティブ型TFT (薄膜型トランジスタ) を用いた結晶装置を示す。

第2図、第3図は本発明の相補型TFTを用いたアクティブ型液晶装置の回路図を示す。

第4図は相補型TFTの動作を示す図面である。

第5図は第3図に対応した液晶表示装置の一方の基板の平面図 (A)、縦断面図 (B)、(C) を示す。

第6図は本発明の液晶装置に用いた相補型TFTの作製方法を示す。

- (1) ……ガラス基板
- (2), (2') ……シリコン半導体
- (3) ……ゲイト絶縁膜
- (3') ……ブロッキング層
- (4), (4') ……ゲイト電極
- (5), (5') ……ソース
- (6), (6') ……ドレイン
- (7), (7') ……チャネル形成領域
- (10) ……液晶電位 ( $V_{LC}$ )
- (11) ……Nチャネル型薄膜トランジスタ (NTFT)



11

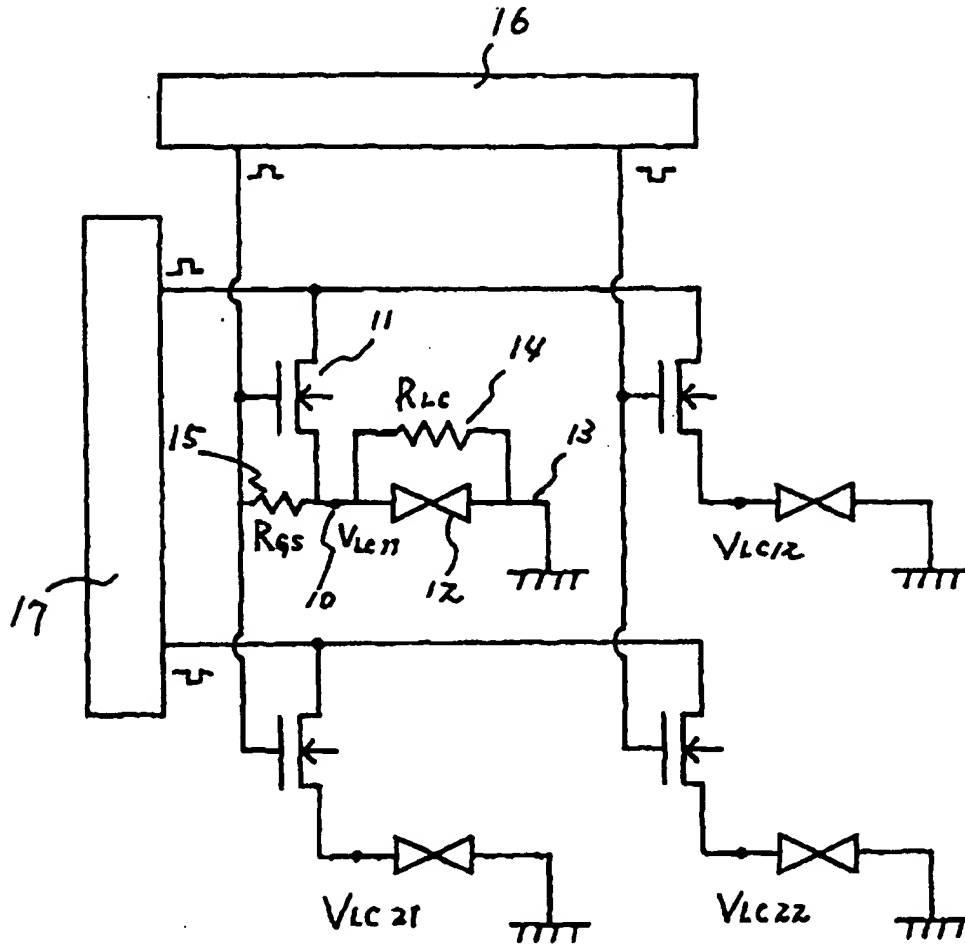
12

- (12) ……液晶  
 (14), (15) ……リークをさせる抵抗  
 (16), (17) ……周辺回路  
 (18), (18') …… $V_{SS}$  (X線の1つ)  
 (19), (19') …… $V_{DD}$  (X線の1つ)

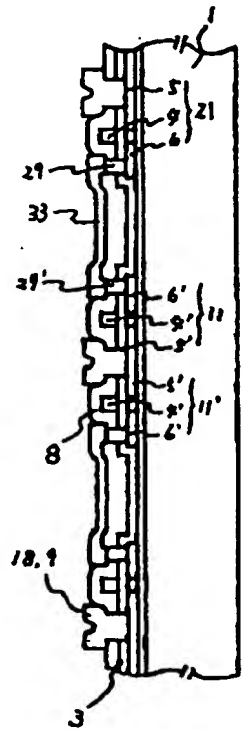
- (21) ……Pチャネル型薄膜トランジスタ (PTFT)  
 (22), (23) …… $V_{GG}$ ,  $V_{GG'}$  (Y線)  
 (33), (34) ……透明電極

①～⑦……フォトマスクを用いたプロセス

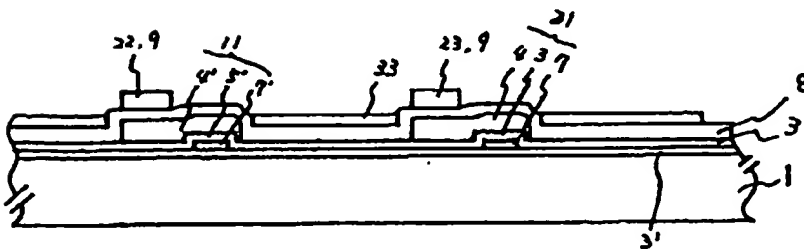
【第1図】



【第5図 (C)】



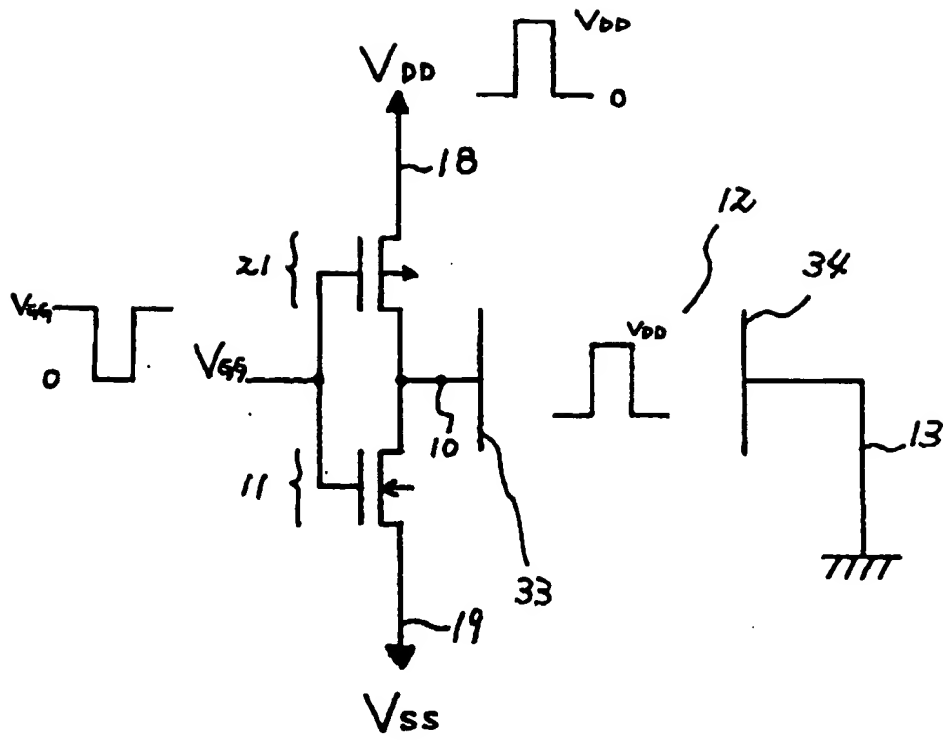
【第5図 (B)】



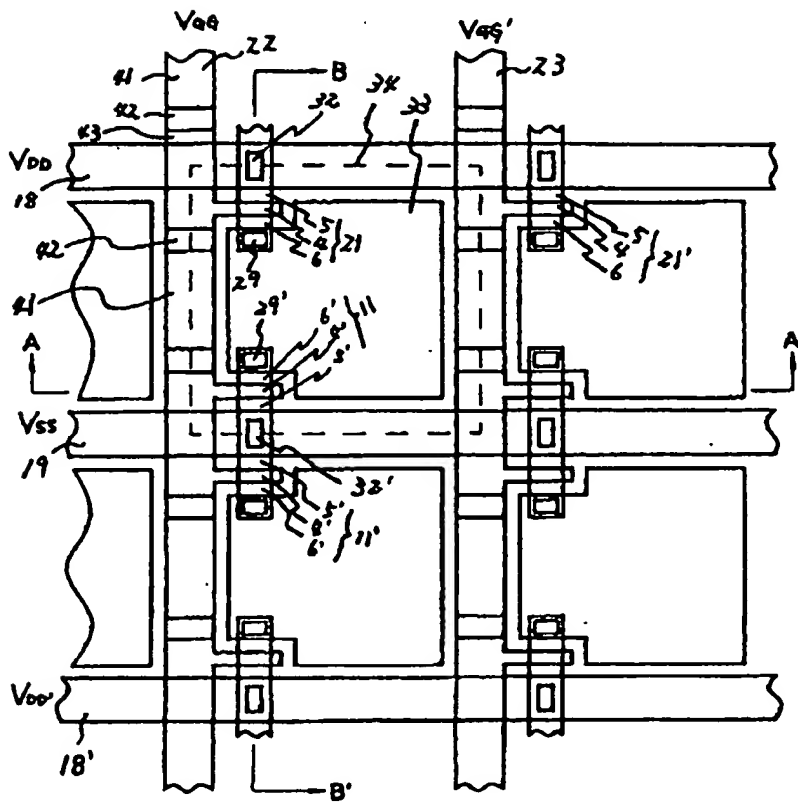
The diagram shows a central core circuit (16) with two input lines (17 and 18) and two output lines (19 and 20). The core contains a network of resistors (R<sub>1</sub>, R<sub>2</sub>, R<sub>3</sub>, R<sub>4</sub>, R<sub>5</sub>, R<sub>6</sub>, R<sub>7</sub>, R<sub>8</sub>, R<sub>9</sub>, R<sub>10</sub>, R<sub>11</sub>, R<sub>12</sub>, R<sub>13</sub>, R<sub>14</sub>, R<sub>15</sub>, R<sub>16</sub>, R<sub>17</sub>, R<sub>18</sub>, R<sub>19</sub>, R<sub>20</sub>, R<sub>21</sub>, R<sub>22</sub>, R<sub>23</sub>, R<sub>24</sub>, R<sub>25</sub>, R<sub>26</sub>, R<sub>27</sub>, R<sub>28</sub>, R<sub>29</sub>, R<sub>30</sub>, R<sub>31</sub>, R<sub>32</sub>, R<sub>33</sub>, R<sub>34</sub>, R<sub>35</sub>, R<sub>36</sub>, R<sub>37</sub>, R<sub>38</sub>, R<sub>39</sub>, R<sub>40</sub>, R<sub>41</sub>, R<sub>42</sub>, R<sub>43</sub>, R<sub>44</sub>, R<sub>45</sub>, R<sub>46</sub>, R<sub>47</sub>, R<sub>48</sub>, R<sub>49</sub>, R<sub>50</sub>, R<sub>51</sub>, R<sub>52</sub>, R<sub>53</sub>, R<sub>54</sub>, R<sub>55</sub>, R<sub>56</sub>, R<sub>57</sub>, R<sub>58</sub>, R<sub>59</sub>, R<sub>60</sub>, R<sub>61</sub>, R<sub>62</sub>, R<sub>63</sub>, R<sub>64</sub>, R<sub>65</sub>, R<sub>66</sub>, R<sub>67</sub>, R<sub>68</sub>, R<sub>69</sub>, R<sub>70</sub>, R<sub>71</sub>, R<sub>72</sub>, R<sub>73</sub>, R<sub>74</sub>, R<sub>75</sub>, R<sub>76</sub>, R<sub>77</sub>, R<sub>78</sub>, R<sub>79</sub>, R<sub>80</sub>, R<sub>81</sub>, R<sub>82</sub>, R<sub>83</sub>, R<sub>84</sub>, R<sub>85</sub>, R<sub>86</sub>, R<sub>87</sub>, R<sub>88</sub>, R<sub>89</sub>, R<sub>90</sub>, R<sub>91</sub>, R<sub>92</sub>, R<sub>93</sub>, R<sub>94</sub>, R<sub>95</sub>, R<sub>96</sub>, R<sub>97</sub>, R<sub>98</sub>, R<sub>99</sub>, R<sub>100</sub>) and transistors (21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100). The core is connected to a power supply (V<sub>DD</sub>) and ground (GND). The output lines (19 and 20) are connected to a control circuit (19' and 20') which includes transistors (19' and 20') and resistors (19' and 20'). The control circuit is connected to a power supply (V<sub>DD</sub>) and ground (GND).



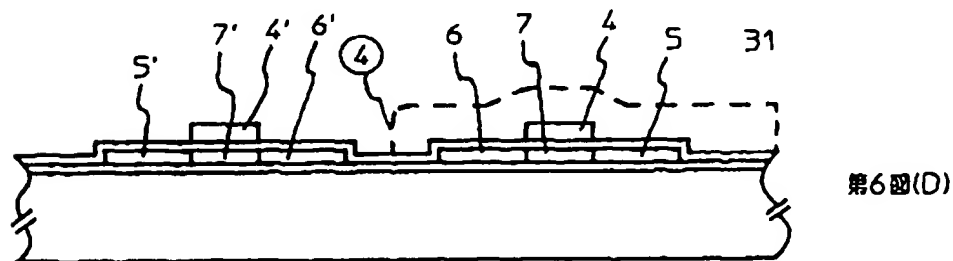
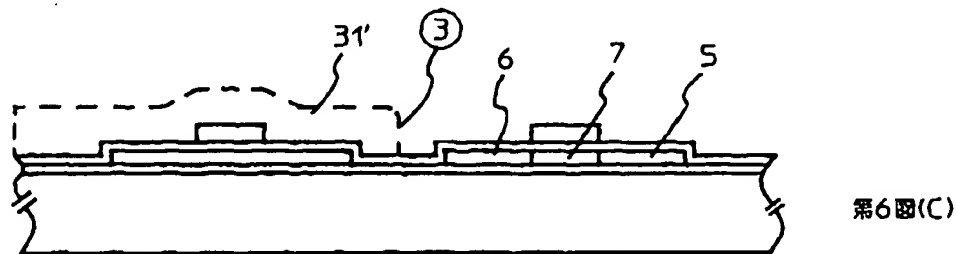
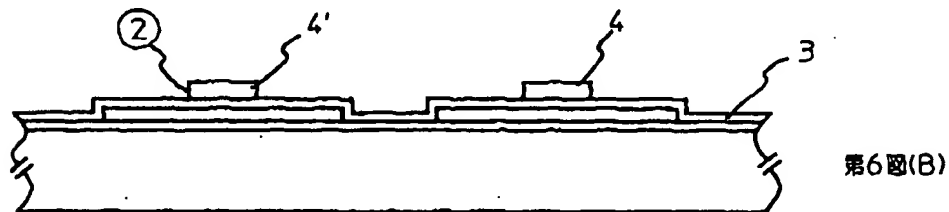
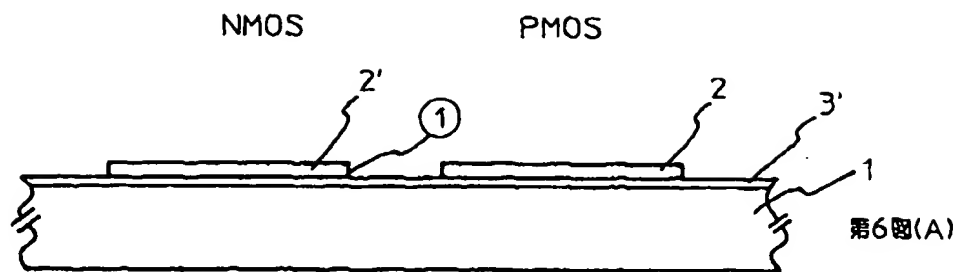
【第4図】

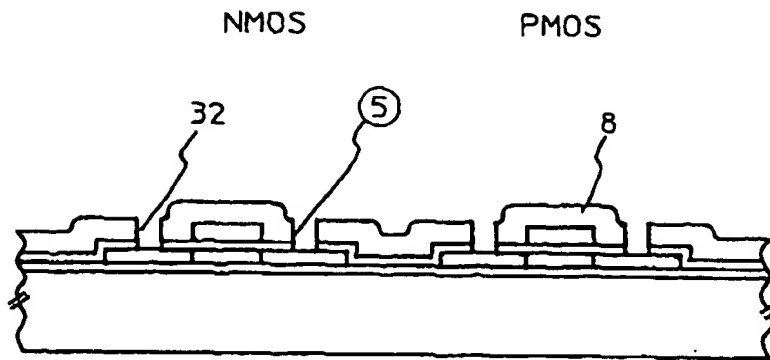


【第5図 (A)】

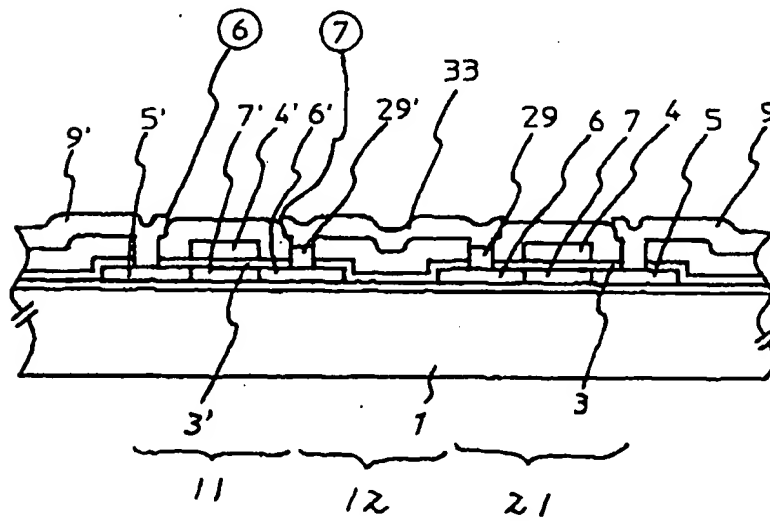


【第6図】





第6圖(E)



第6圖(F)